

⑩ 日本国特許庁 (JP) ⑪ 実用新案出願公告

⑫ 実用新案公報 (Y2) 昭 56-19402

⑬ Int.Cl.³

識別記号

庁内整理番号

⑭ 公告 昭和 56 年 (1981) 5 月 8 日

H 01 L 21/30

6741-5 F

(全 4 頁)

⑯ 電子ビーム露光装置

⑰ 実 願 昭 50-179553

⑱ 出 願 昭 50 (1975) 12 月 31 日

公 開 昭 52-92666

⑲ 昭 52 (1977) 7 月 11 日

⑳ 考 案 者 安田 洋

川崎市中原区上小田中 1015 番地
富士通株式会社内

㉑ 考 案 者 中村 守孝

川崎市中原区上小田中 1015 番地
富士通株式会社内

㉒ 出 願 人 富士通株式会社

川崎市中原区上小田中 1015 番地

㉓ 代 理 人 弁理士 玉虫 久五郎 外 4 名

㉔ 実用新案登録請求の範囲

電子ビームを放射する電子銃と該電子ビームを
集束する電子レンズ系と該電子ビームを所望の方
向に偏向する偏向系とを有する電子ビーム露光装
置において、選択的に電子ビームを制御する為の
電圧が印加される個別の電子ビーム阻止電極を有
する多数のゲート孔が形成されたゲート板を該ゲ
ート孔が整列されるように複数枚を配列してなる
露光面積可変装置と該露光面積可変装置を通過し
た電子ビームを縮小する縮小電子レンズ系とを設
けたことを特徴とする電子ビーム露光装置。

考案の詳細な説明

本考案は、電子ビーム露光装置の改良に関する
ものである。

半導体装置は、日を追って微細化、大規模集積化
の方向に向っている。微細化、大規模集積化を実現
するためには、フォトリソスト膜の微細パターニ
ングが必要条件となる。フォトリソスト膜にマス
ク材を被着し、光を照射してフォトリソストを露
光する方法では、光の波長などによる制限があつ
て、微細なパターニングに限界が生じる。これを打

ち破る 1 つの方法として光の代りに電子ビームを
使用する電子ビーム露光法がある。

電子ビームは粒子としての性質の外に波動的な
性質をもち、その波長は紫外線より数桁短かい
から、回折による微細化の限界に対しては非常に有
利となる。

現在行なわれている電子ビーム露光法は、真
空中において電子銃から放出される電子を細い電
子ビームに集束し、この電子ビームを偏向板に与え
た電圧によつて位置制御して、フォトリソストの
所望の位置に移動させた後、電子ビームのスポッ
トを次々と移動させて所望の面積を露光させる。
たとえば、第 1 図に示すように、フォトリソスト膜
1 上の正方形 2 と 3 を露光させようとする場合、
まず電子ビームを 21 で示す位置に移動させた後、
一定時間静止させて露光させ、次に 22 で示す位置
に電子ビームを移動させ、一定時間静止させて露
光させるというようにして正方形 2 全面を電子ビ
ームのスポットの移動で露光し、これが終了した
後、偏向板への電圧を制御して電子ビームのスポ
ットを 23 で示す最終位置から正方形 3 の最初の
位置 31 へ移動させ、正方形 2 と同様な露光を行な
う。

このような露光方法をフライング・スポット法
と称するが、電子ビームの直径が 0.1 μ m 程度で
あるため、スポットの数が膨大になり、また、偏向
板制御回路の最大動作周波数の限界から、スポッ
トの移動スピードを 1 MHz 以上にするることができ
ないため、電子ビーム露光に要する時間が長くな
り、少し複雑な大規模集積回路のパターニングに
数日を要するということも少なくない。

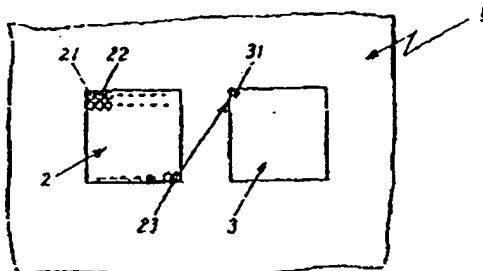
本考案は、上述の如き欠点を改善した新規な考
案であり、その目的は電子ビーム露光において、露
光に要する時間が短かくて済む電子ビーム露光装
置を提供することにある。

その目的を達成せしめるため、本考案の電子露
光装置は、電子ビームを放射する電子銃と該電子

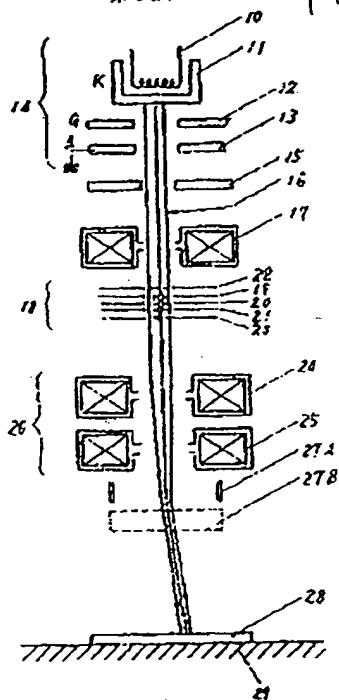
JPU 56-19402
実公 昭 56-19402

(4)

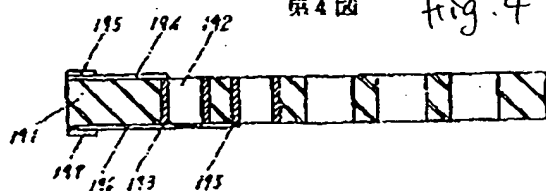
第1図 Fig. 1



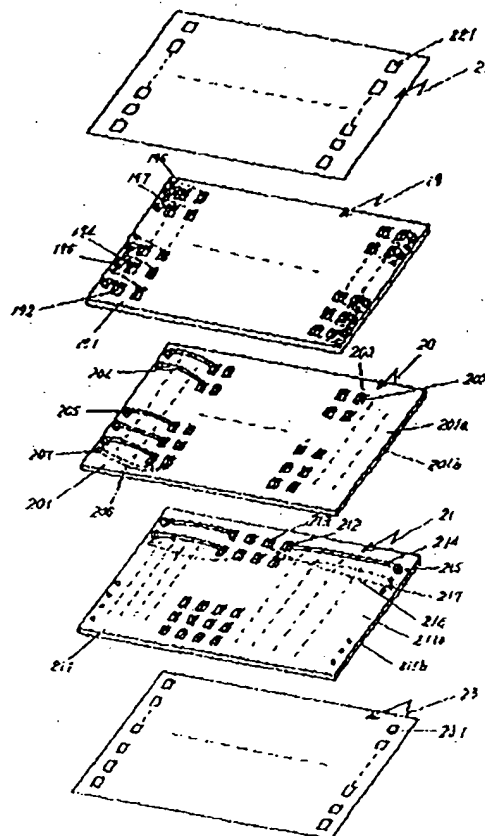
第2図 Fig. 2



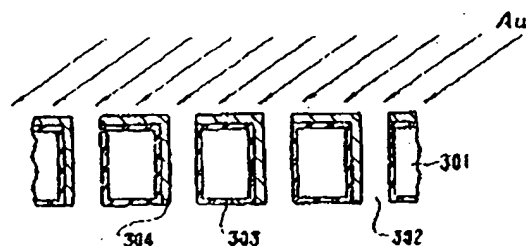
第4図 Fig. 4



第3図 Fig. 3



第5図 Fig. 5



(2)

実公 昭 56-19402

ビームを集束する電子レンズ系と該電子ビームを所望の方向に偏向する偏向系とを有する電子ビーム露光装置において、選択的に電子ビームを制御する為の電圧が印加される個別の電子ビーム阻止電極を有する多数のゲート孔が形成されたゲート板を該ゲート孔が整列されるように複数枚を配列してなる露光面積可変装置と該露光面積可変装置を通過した電子ビームを縮少する縮少電子レンズ系とを設けたことを特徴とするもので、以下実施例について詳細に説明する。

第2図は、本考案に係る電子ビーム露光装置の要部を示す縦断側面図であり、10はヒータ、11はカソード、12はグリッド、13はアノードで、これらで電子銃14を形成している。15は絞り板で、電子ビーム16をたとえば断面正方形とするためのものである。17はコンデンサーレンズ、18は露光面積可変装置である。露光面積可変装置は、3枚のゲート板19、20、21と、ゲート板19、20、21に加える制御電圧の影響を外部に漏らさないようにするための上シールド板22と下シールド板23とからなっている。24、25は電子レンズで、これらで縮少電子レンズ系26を形成している。27Aは電子ビーム16をX方向に偏向する偏向板、27Bは電子ビーム16をY方向に偏向する偏向板、28はシリコン半導体ウェーハで、その表面にフォトリソが被着されている。29は基台で、この上にシリコン半導体ウェーハ28を載置する。

なお、上記縮少電子レンズ系26は、露光面積可変装置からの電子ビームを約100分の1あるいはそれ以上に縮少するものである。

第3図は、露光面積可変装置18を詳細に示した分解斜視図である。第1層目のゲート板19を構成する半絶縁性のシリコン半導体あるいはセラミツクからなる基板191には、縦12個、横12個の合計144個のゲート孔192があげられる。第2層目、第3層目の基板20、21にも、基板18と同じ位置に、形、大きさの等しいゲート孔202、212を144個ずつ設ける。

ゲート板19の第1列、第2列、第11列、第12列のゲート孔192の内部側壁周囲には、第4図に示すように、金属を蒸着した電子ビーム阻止電極193が設けられ、その第1列目、第12列目の引出線194を基板191上にはわせ、基板191の周辺に設けた端子部195と接続し、第2列目、第11列目

の引出線196は基板191の下面をはわせ、基板191裏面周辺に設けた端子部197と接続する。

ゲート板20の第3列、第4列、第9列、第10列のゲート孔202の内部側壁周囲には、金属を蒸着した電子ビーム阻止電極203が設けられ、その第3列目、第11列目の引出線204を基板201の表面201a上にはわせ、基板201の周辺に設けた端子部205と接続し、第4列目、第9列目の引出線206は基板201の下面201bをはわせ、基板201の裏面周辺に設けた端子部207と接続する。

ゲート板21の第5列、第6列、第7列、第8列の孔212の内部側壁周囲には、金属を蒸着した電子ビーム阻止電極213が設けられ、その第5列、第8列目の引出線214を基板211の表面211a上にはわせ、基板211の周辺に設けた端子部215と接続し、第6列、第7列目の引出線216は基板211の下面211bをはわせ、基板211の裏面周辺に設けた端子部217と接続する。

上シールド板22、下シールド板23はいずれも金属板からなり、これら金属板に、ゲート板と同じ位置に、形、大きさの等しい孔221、231を144個ずつ設ける。このように構成することにより、露光面積可変装置18には144個の電子ビームが通過する通路が形成され、その1個1個にそれぞれ電子ビーム阻止電極が設けられたことになる。

ところで、前記ゲート板は次のようにして作製することができる。即ち、第5図に見られるように、厚さ例えば100 μ m程度のシリコン基板301にスパッタ・エッチング法を適用して例えば40 μ m角のゲート孔302を垂直に形成する。次いで、例えば熱酸化法を適用して基板301の表面に厚さ例えば1 μ m程度の絶縁膜303を形成する。これはシリコンの電気伝導性に対処する為である。次いで、図示の如く、斜め上方から金(Au)の蒸着を行ない、上面及び孔302の内面に金膜304を形成する。この蒸着は、必要に応じ、基板301を90°回転させて繰返しても良い。次に、上面に形成された金膜304をフォトリソグラフィ技術にてパターンニングし配線を形成するものである。

次に本考案の作用について説明する。

まず、露光面積可変装置18の上、下シールド板22、23を、アノード電極13と同電位にするとともに、各ゲート板19、20、21に設けた144個全部の電子ビーム阻止電極もアノード電極13と同電位にして

(3)

実公 昭 56-19402

5

おく。

次にヒーター 10 を加熱し、カソード 11 から放射された電子ビーム 16 は、グリッド 12 で制御され、アノード 13 で加速された後、絞り板 15 で断面正方形にされた後、コンデンサーレンズ 17 を通り、露光面積可変装置 18 に至る。該装置の孔 144 個は全部アノード 13 と同電位であるから、電子ビーム 16 は 144 個の孔を分割して通過し、この実像は縮小レンズ系 26 で約 100 分の 1 に縮小され、さらに偏向板 27 A、27 B で偏向されてシリコン半導体ウエハー 28 上に結像される。

この像は、実際は縦 12 個、横 12 個の正方形を基板目状に並べたようなものであり、各正方形と相隣る正方形との間に電子ビームが照射されない境界部分がある。

ところで、露光面積可変装置 18 のゲート板に設けたゲート孔の一边を $40\mu\text{m}$ とし、ゲート孔とゲート孔との間の境界部分の幅を約 $4\mu\text{m}$ とすると、フォトリソスト上に結像された孔は、100 分の 1 に縮小されるので、一边が 4000Å となり、ゲート孔とゲート孔との間の境界部分の幅は約 400Å になる。普通に使用されている電子に感光するレジストは、分解能が悪く、 400Å 程度の幅を有する境界部分は現像の際に現われず、縦、横約 $5\mu\text{m}$ の正方形の像が現われる。これが最大パターン面積である。

次に露光面積可変装置 18 の所望の電子ビーム阻止電極に正または負の電圧を印加すると、電子ビームはゲート板のゲート孔の中で偏向され、直進しなくなるため、例えば 1 枚下のゲート板により遮断されフォトリソスト上に照射されなくなる。したがって、電子ビームが通過するゲート孔と阻止するゲート孔とを適当に制御すれば、画素 144 個の範囲内で所望の形状のパターンが得られる。また、電子ビームを 1 つのゲート孔だけを通過させれば、 4000Å 程度の小さなパターンを画くことができる。

なお、ゲート板に設けた孔の一边を $40\mu\text{m}$ 、孔の境界部分の幅を $4\mu\text{m}$ とした理由は、これ以上

6

小さいゲート孔と境界部分を基板上に設けることが困難なためであり、また、ゲート板を複数枚に分割した理由は、境界部分には幅 $2\mu\text{m}$ の配線 1 本のみしかはわせることができないためである。

もし、縮小レンズ系で 100 分の 1 以上縮小できれば、ゲート板に設ける孔とこれらの境界部分を大きくすることができるので境界部分に多くの配線を行なうことができ、ゲート板の枚数を減らすことができる。

また、ゲート孔の数も上記実施例のごとく 144 個に限るものではなく、ゲート板の数を増加すればこれよりもたくさんのゲート孔を設けることができるし、またこの数を数 10 あるいは数個に減らすこともできることはいうまでもないことである。

以上説明したように、本考案は、電子ビームを複数本のビームに分解し、これをそれぞれ電子ビーム阻止電極で制御したので、限られた範囲ではあるが、所望の形状の感光を一度に行なうことができるし、また、分割された電子ビーム全部を一度に全部フォトリソスト上に照射すれば、広い面積について露光できる。

このほか、本考案の装置の制御はすべて電気的に行われるので、マスクパターンプログラムを、CAD (Computer Aided Design) 法を用いて行なうことができる。

図面の簡単な説明

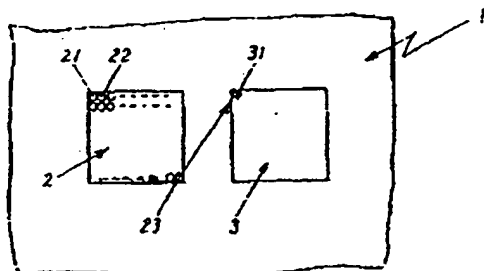
第 1 図は、フライング・スポット法によりフォトリソスト面を露光する状態を示す正面図、第 2 図は本考案に係る電子ビーム露光装置の要部を示す縦断側面図、第 3 図は露光面積可変装置の分解斜視図、第 4 図はゲート板の断面図、第 5 図はゲート板を作製する場合について説明する為の工程要所に於けるゲート板の要部側断面図である。

図において、14 は電子銃、16 は電子ビーム、17 はコンデンサレンズ、18 は露光面積可変装置、19 はゲート板、192 はゲート孔、193 は電子ビーム阻止電極、26 は縮小電子レンズ系、27 A、27 B は偏向板、28 はシリコン半導体ウエハーである。

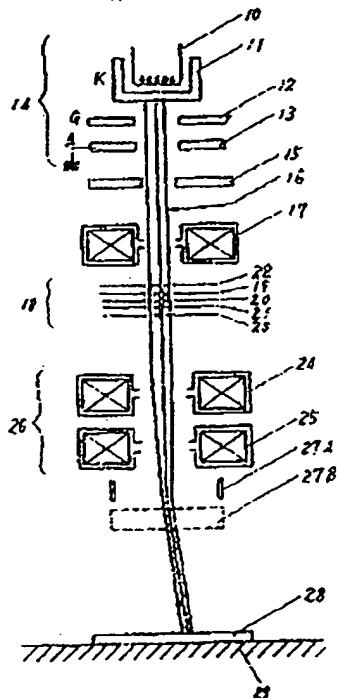
(4)

実公 昭56-19402

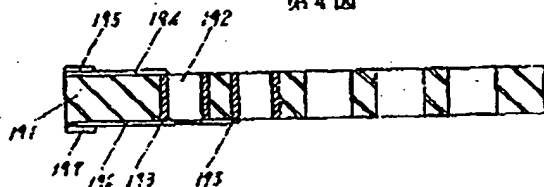
第1図



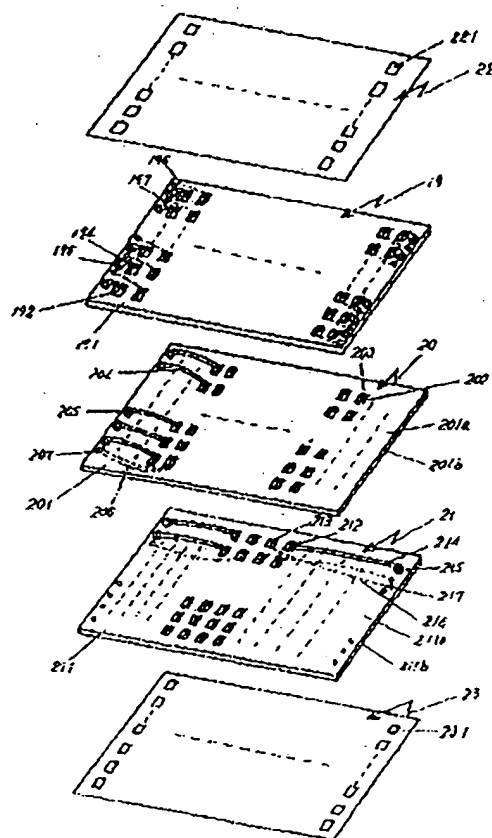
第2図



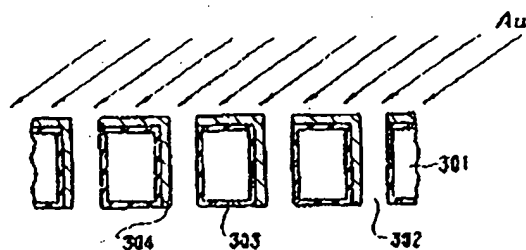
第4図



第3図



第5図



(11) Japanese Patent Utility Model

Publication (Koukoku) No. 56-19402

(44) Publication Date: May 8, 1981

(54) Title of the invention: ELECTRON BEAM EXPOSURE

5 APPARATUS

(21) Application Number: 50-179553

(22) Filing Date: December 31, 1975

(71) Applicant: Fujitsu Kabushiki Kaisha

(72) Inventors: Sho Yasuda and Moritaka Nakamura

10

[Title of the Device] ELECTRON BEAM EXPOSURE

APPARATUS

[What Is Claimed Is:]

An electron beam exposure apparatus having an
15 electron gun which emits an electron beam, an electron
lens system which focuses the electron beam, and a
deflecting system which deflects the electron beam in a
desired direction, characterized by including an
exposure area changing device formed by arraying a
20 plurality of gate plates each having a large number of
gate holes that have separate electron beam blocking
electrodes to which a voltage for controlling an
electron beam is selectively applied such that the gate
holes are arrayed, and a reduction electron lens system
25 which reduces a diameter of an electron beam having
passed said exposure area changing device.

[Detailed Description of the Device]

The present device relates to an improvement in electron beam exposure apparatus.

Semiconductor devices are being miniaturized and large-scale integrated day by day. To realize
5 miniaturization and large-scale integration, micropatterning of a photoresist film is required. In a method of forming a photoresist film on a mask member and exposing the photoresist by irradiation of light, the wavelength of the light or the like limits
10 micropatterning. As a method of solving this problem, there is available an electron beam exposure method which uses electron beams instead of light.

An electron beam has undulatory characteristics, in addition to particulate characteristics. Since the
15 wavelength of an electron beam is several orders of magnitude shorter than that of ultraviolet light, an electron beam is advantageously used to cope with micropatterning limited by diffraction.

In a currently used electron beam exposure
20 method, electrons emitted from an electron gun in a vacuum are focused into a thin electron beam. The electron beam is subjected to position control with a voltage applied to a deflection plate and is moved to a desired position of a photoresist. After that, the
25 electron beam spot is successively moved to expose a desired area. For example, assume that squares 2 and 3 on a photoresist film 1 are to be exposed, as shown in

Fig. 1. In this case, an electron beam is first moved to a position denoted by reference numeral 21, and exposure is performed while freezing the electron beam for a predetermined period of time. Then, the electron beam is moved to a position denoted by reference numeral 22, and exposure is performed again while freezing the electron beam for the predetermined period of time. In this way, the entire surface of the square 2 is exposed by moving the electron beam spot. Upon completion of the exposure of the square 2, a voltage applied to the deflection plate is so controlled as to move the spot of the electron beam from the last position denoted by reference numeral 23 to a first position 31 of the square 3. Exposure similar to that for the square 2 is then performed.

This exposure method is called a "flying spot method". Since the diameter of the electron beam is about $0.1 \mu\text{m}$, the number of times of the spot movement becomes large. Also, there is a limit to the maximum operating frequency of a deflection plate control circuit, and thus the moving velocity of the spot cannot be increased to 1 MHz or more. For this reason, electron beam exposure takes a longer time, and it often takes several days to pattern a little complicated LSI.

The present device is a novel device in which the above-mentioned drawbacks are overcome. The present

device has as its object to provide an electron beam exposure apparatus which requires a shorter time for exposure in electron beam exposure.

To achieve the above-mentioned object, according
5 to the present device, there is provided an electron beam exposure apparatus having an electron gun which emits an electron beam, an electron lens system which focuses the electron beam, and a deflecting system
10 which deflects the electron beam in a desired direction, characterized by including an exposure area changing device formed by arraying a plurality of gate plates each having a large number of gate holes that have separate electron beam blocking electrodes to
15 which a voltage for controlling an electron beam is selectively applied such that the gate holes are arrayed, and a reduction electron lens system which reduces a diameter of an electron beam having passed the exposure area changing device. An embodiment of the present device will be described below in detail.

20 Fig. 2 is a sectional side view showing the main part of an electron beam exposure apparatus according to the present device. Reference numeral 10 denotes a heater; 11, a cathode; 12, a grid; and 13, an anode. These components form an electron gun 14. An aperture
25 plate 15 makes the sectional shape of an electron beam 16 square. Reference numeral 17 denotes a condenser lens; and 18, an exposure area changing device 18. The

exposure area changing device 18 comprises three gate plates 19, 20, and 21, and an upper shield plate 22 and a lower shield plate 23 for preventing a control voltage to be applied to the gate plates 19, 20, and 21 from externally exerting an influence. Electron lenses 24 and 25 form a reduction electron lens system 26. Reference numeral 27A denotes a deflection plate which deflects the electron beam 16 in the X direction; and 27B, a deflection plate which deflects the electron beam 16 in the Y direction. Reference numeral 28 denotes a silicon semiconductor wafer 28 whose surface is coated with a photoresist. Reference numeral 29 denotes a base on which the silicon semiconductor wafer 28 is mounted.

Note that the reduction electron lens system 26 reduces the diameter of an electron beam from the exposure area changing device by a factor of about 100 or more.

Fig. 3 is an exploded perspective view showing in detail the exposure area changing device 18. 12 (H) x 12 (W), i.e., a total of 144 gate holes 192 are formed in a substrate 191 which constitutes the gate plate 19 as the first layer and is made of a semi-insulating silicon semiconductor or ceramic. 144 gate holes 202 and 144 gates holes 212 having the same shape and size are formed, at the same positions as those of the substrate 19, in the substrates 20 and 21 as the second

and third layers, respectively.

A metal deposition electron beam blocking electrode 193 is provided around the inner side wall of each of the gate holes 192 in the first, second, 11th, and 12th columns of the gate plate 19, as shown in Fig. 4. Leader lines 194 in the first and 12th columns extend along the upper surface of the substrate 191 and are connected to terminal portions 195 arranged on the periphery of the upper surface of the substrate 191.

10 Leader lines 196 in the second and 11th columns extend along the lower surface of the substrate 191 and are connected to terminal portions 197 arranged on the periphery of the lower surface of the substrate 191.

A metal deposition electron beam blocking electrode 203 is provided around the inner side wall of each of the gate holes 202 in the third, fourth, ninth, and 10th columns of the gate plate 20. Leader lines 204 in the third and 11th columns extend along a surface 201a of a substrate 201 and are connected to terminal portions 205 arranged on the periphery of the upper surface of the substrate 201. Leader lines 206 in the 4th and ninth columns extend along a lower surface 201b of the substrate 201 and are connected to terminal portions 207 arranged on the periphery of the lower surface of the substrate 201.

A metal deposition electron beam blocking electrode 213 is provided around the inner side wall of

each of the gate holes 212 in the fifth, sixth, seventh, and eighth columns of the gate plate 21. Leader lines 214 in the fifth and eighth columns extend along a surface 211a of a substrate 211 and are
5 connected to terminal portions 215 arranged on the periphery of the upper surface of the substrate 211. Leader lines 216 in the sixth and seventh columns extend along a lower surface 211b of the substrate 211 and are connected to terminal portions 217 arranged on
10 the periphery of the lower surface of the substrate 211.

The upper shield plate 22 and lower shield plate 23 each comprises a metal plate. 144 holes 221 and 144 holes 231 having the same shape and size are formed in
15 these metal plates, respectively. With this arrangement, 144 paths through which an electron beam passes are formed in the exposure area changing device 18. An electron beam blocking electrode is provided in each path.

20 The gate plate described above can be manufactured in the following manner. More specifically, e.g., 40- μ m-square gate holes 302 are vertically formed in a silicon substrate 301 having a thickness of, e.g., about 100 μ m by using sputter
25 etching. Then, an insulating film 303 having a thickness of, e.g., about 1 μ m is formed on the surface of the substrate 301 by thermal oxidization.

This is for the purpose of coping with the electric conductivity of silicon. As shown in Fig. 5, gold (Au) is deposited obliquely from above to form a gold film 304 on the upper surface and the inner surfaces of the holes 302. This deposition may be repeated by rotating the substrate 301 by 90° , as needed. A portion, formed on the upper surface, of the gold film 304 is patterned by photolithography to form wiring.

Operation of the present device will be described next.

First, the upper shield plate 22 and lower shield plate 23 of the exposure area changing device 18 are set at the same potential as that of the anode electrode 13, and additionally all of the 144 beam blocking electrodes of each of the gate plates 19, 20, and 21 are set at the same potential as that of the anode electrode 13.

The heater 10 is then heated. The electron beam 16 emitted from the cathode 11 is controlled by the grid 12 and is accelerated by the anode 13. After that, the electron beam 16 is made to have a square cross section by the aperture plate 15, passes through the condenser lens 17, and reaches the exposure area changing device 18. Since the 144 holes of the exposure area changing device 18 are at the same potential as that of the anode 13, the electron beam 16 branches off and passes through the 144 holes. The

size of a formed real image is reduced to about 1/100 by the reduction lens system 26. The real image is further deflected by the deflection plates 27A and 27B to form an image on the silicon semiconductor wafer 28.

5 This image is, in practice, like 12 x 12 squares arrayed in a lattice pattern. There is a boundary portion which is not irradiated with an electron beam between two adjacent squares.

 Assume that a side of each gate hole formed in
10 the gate plates of the exposure area changing device 18 is 40 μm long, and that a boundary portion between two adjacent gate holes is about 4 μm wide. In this case, since the size of the image of a hole formed on the photoresist is reduced to 1/100, the length of a side
15 of the hole becomes 4,000 \AA , and the width of the boundary portion between two gate holes becomes about 400 \AA . A commonly used electrosensitive resist has low resolution. Accordingly, boundary portions each having a width of about 400 \AA do not appear upon
20 development, and square images each having a size of about 5 x 5 μm appear. The area of the images is the maximum pattern area.

 When a positive or negative voltage is applied to a desired electron beam blocking electrode of the
25 exposure area changing device 18, an electron beam component is deflected in the corresponding gate hole of the gate plate and does not pass straightforward.

For this reason, the electron beam component is blocked by, e.g., the immediately lower gate plate and does not hit the photoresist. Hence, by appropriately controlling the gate holes such that some gate holes
5 allow electron beam components to pass through, and the remaining gate holes block electron beam components, a pattern having a desired shape can be obtained within a range of 144 pixels. If an electron beam is allowed to pass through only one gate hole, a small 4000-Å-square
10 pattern can be drawn.

In the above assumption, the length of a side of each hole formed in the gate plates is set to 40 μm , and the width of a boundary portion between two adjacent holes is set to 4 μm . This is because
15 smaller gate holes and boundary portions cannot easily be formed on the substrates. A plurality of gate plates are prepared because only one wire having a width of 2 μm can extend along in each boundary portion.

20 If the reduction lens system can reduce the size of an image by a factor of 100 or more, holes to be formed in gate plates and the boundary portions between them can be upsized. Accordingly, a larger number of wires can be arranged in the boundary portions, and the
25 number of the gate plates can be reduced.

The number of gate holes is not limited to 144, as in the above embodiment. If the number of gate

plates increases, more gate holes can be formed.

Conversely, the number can also be reduced to several tens or several.

As has been described above, according to the
5 present device, an electron beam is divided into a plurality of beam components, and each beam component is controlled by an electron beam blocking electrode. This enables exposure to a desired shape at a time within a limited range. When the photoresist is
10 irradiated with all the divided electron beam components at a time, a large area can be exposed.

Besides, the apparatus of the present device is entirely electrically controlled, and thus a mask pattern program can be executed using CAD (Computer
15 Aided Design).

[Brief Description of the Drawings]

Fig. 1 is a front view showing the state wherein a photoresist surface is exposed by a flying spot method, Fig. 2 is a sectional side view showing the
20 main part of an electron beam exposure apparatus according to the present device, Fig. 3 is an exploded perspective view of an exposure area changing device, Fig. 4 is a sectional view of a gate plate, and Fig. 5 is a sectional side view of the main part of a gate
25 plate at the main point of the step for explaining the manufacture of a gate plate.

In the drawings,

	14	electron gun
	16	electron beam
	17	condenser lens
	18	exposure area changing device
5	19	gate plate
	192	gate hole
	193	electron beam blocking electrode
	26	reduction electron lens system
	27A, 27B	deflection plate
10	28	silicon semiconductor wafer